

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-205920

(43)Date of publication of application : 09.09.1991

(51)Int.Cl.

H03L 7/08  
G11B 20/14

(21)Application number : 02-103313

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.04.1990

(72)Inventor : HOTTA RYUTARO  
MIYAZAWA SHOICHI  
HASE KENICHI  
HIRANO AKIHIKO  
KOJIMA SHINICHI  
URAGAMI KEN

(30)Priority

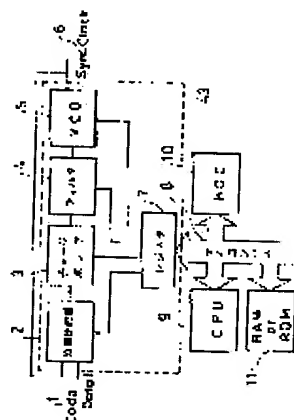
Priority number : 01282748 Priority date : 30.10.1989 Priority country : JP

(54) PHASE LOCKED CIRCUIT, STORAGE DEVICE AND MAGNETIC DISK STORAGE DEVICE

(57)Abstract:

PURPOSE: To obtain the phase locked circuit which can switch optimally the characteristic in accordance with a data transfer speed and can be operated stably by providing a means for changing a response characteristic, based on an instruction stored in a store means.

CONSTITUTION: A CPU 9 decides in which cylinder or in which zone a track having a sector in which target data is written is contained, selects information having the constant of a PLL corresponding to its cylinder or zone from in a ROM or a RAM 11, and writes it in a register 7 through a microcomputer bus 8. The register 7 sends its information to each block of a PLL 43, and each block switches a gain, a mode, etc., based on its information, and constitutes a PLL having a characteristic being optimal to a transfer speed in which target data is written. In such a way, the phase locked circuit which can always supply a stable clock can be formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-205920

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月9日

H 03 L 7/08  
G 11 B 20/14

3 5 1 A

8322-5D  
8731-5J

H 03 L 7/08

Z

審査請求 未請求 請求項の数 12 (全16頁)

⑮ 発明の名称 位相同期回路、記憶装置および磁気ディスク記憶装置

⑯ 特 願 平2-103313

⑰ 出 願 平2(1990)4月19日

優先権主張 ⑱ 平1(1989)10月30日 ⑲ 日本(JP) ⑳ 特願 平1-282748

㉑ 発 明 者 堀 田 龍 太 郎 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内  
㉒ 発 明 者 宮 沢 章 一 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内  
㉓ 発 明 者 長 谷 健 一 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内  
㉔ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉕ 代 理 人 弁理士 富田 和子  
最終頁に続く

明 細 書

1. 発明の名称

位相同期回路、記憶装置および磁気ディスク記憶装置

2. 特許請求の範囲

1. 応答特性の変更の指示を格納する格納手段と、該格納手段に格納された指示に基づいて、応答特性を変更する手段を有することを特徴とする位相同期回路。

2. 位相比較部とチャージポンプ部とフィルタ部と電圧制御発振部と、

応答特性の変更の指示を格納する格納手段と、該格納手段に格納された指示に基づいて、チャージポンプ部のゲイン量またはフィルタ部のフィルタ定数または電圧制御発振部の中心周波数のうち、少なくとも1つを変更する手段とを備えたことを特徴とする位相同期回路。

3. 位同期信号周波数の変化に応じて、応答特性の変更を指示する手段と、該指示を格納する格納手段および該格納手段に格納された指示に基づ

いて応答特性を変更する手段を有する位相同期回路とを備えたことを特徴とするクロック発生回路。

4. ディスク型記憶媒体を備えた記憶装置であって、

ディスク型記憶媒体のリードアクセス時、そのディスク型記憶媒体上におけるアクセス位置に応じて、リードデータを取り扱う基準クロックを発生する位相同期回路の応答特性の変更を指示する手段と、該指示を格納する格納手段および該格納手段に格納された指示に基づいて応答特性を変更する手段を有する前記位相同期回路とを有することを特徴とする記憶装置。

5. 磁気ディスクのリードアクセス時、その磁気ディスク上におけるアクセス位置に応じて、リードデータを取り扱う基準クロックを発生する位相同期回路の応答特性の変更を、記憶データ位置のピークシフトによる符号間干渉に起因する誤動作が発生しないよう指示する手段と、該指示を格納する格納手段および該格納手段に格

納された指示に基づいて応答特性を変更する手段とを有する前記位相同期回路とを有することを特徴とする磁気ディスク記憶装置。

6. ディスク型記憶媒体を備えた記憶装置であって、

ディスク型記憶媒体のリードアクセス時、リードデータに同期したリードクロックを発生する位相同期回路と、リードクロックを用いてリードデータを復号する復号化回路と、リードデータを遅延させ、位相同期回路が被同期対象とするリードデータと復号化回路が復号化対象とするリードデータとの間に位相差を与える遅延手段と、リード動作を制御する制御手段とを備え、

前記制御手段は、ディスク型記憶媒体におけるリードアクセス位置に応じて、遅延手段における遅延量を変化させることを特徴とする記憶装置。

7. ディスク型記憶媒体を備えた記憶装置であって、

と、

応答特性の変更の指示を格納する格納手段と、該格納手段に格納された指示に基づいて、チャージポンプ部のゲイン量またはフィルタ部のフィルタ定数または電圧制御回路部の中心周波数のうち、少なくとも一つを変更する手段とを備えた位相同期回路と、

を有することを特徴とする半導体集積回路。

11. 請求項1または2記載の位相同期回路、または、請求項3記載のクロック発生回路、または、請求項7または8記載の半導体集積回路LSIを備えたことを特徴とする情報処理装置。

12. 請求項6または7記載の記憶装置であって、前記ディスク型記憶媒体として磁気ディスクを備えたことを特徴とする記憶装置、特に、磁気ディスク装置。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、位相同期回路に係り、特に、内外周に応じて、書き込みデータの転送速度が変化する

ディスク型記憶媒体のライトアクセス時、基準クロックを発生する発振器と、ディスク型記憶媒体におけるライトアクセス位置に応じて、基準クロックに同期したライトクロックを発生する位相同期回路と、ライトクロックを用いて書き込みデータを符号化する符号化回路と、符号化したライトデータをディスク型記憶媒体に記憶する書き込み手段と、位相同期回路の同期が外れたことを検出する同期外れ検出手段と、同期外れ検出回路が同期外れを検出した場合に、ディスク型記憶媒体へのライトデータの書き込みを抑止する手段とを有することを特徴とする記憶装置。

8. 請求項4、5、6または7記載の記憶装置と、該記憶装置と接続する情報処理装置とを有することを特徴とする情報処理システム。

9. 位相同期回路と、位相同期回路の応答性を設定するレジスタを有することを特徴とする1チップLSI。

10. 位相比較部とチャージポンプ部とフィルタ部

磁気ディスク装置、および、該磁気ディスク装置を有する情報処理システムに関するものである。

#### 〔従来の技術〕

従来、同期クロックを生成する位相同期回路は、通常、PLL (Phase-Locked-Loop) で構成されている。PLLの応答性を示す定数として特性周波数 $\omega_0$ 、及び減衰率 $\xi$ があるが、これらの定数は初期位相差 $\phi$ 、位相引き込み時間 $T_{eq}$ 等の条件により決定される。

ここで位相引き込み時間 $T_{eq}$ は、位相同期パターン内で位相引き込みを行わなければならないため、パターン長が一定とするとデータの転送速度によって変化する。周波數位相比較器+チャージポンプのゲインを $K_d$ 、VCOのゲインを $K_c$ とし、第5図に示すフィルタを用いてPLLを構成した場合、特性周波数 $\omega_0$ 及び減衰率 $\xi$ はそれぞれ、

$$\omega_0 = \sqrt{K_d \cdot K_c / C_1}$$

$$\xi = (C_1 + C_2) \cdot R \cdot \omega_0 / 2$$

と表される。

従来のシステム用の位相同期回路では、一つの

システムに対して、データ転送速度が一義的に定まるので、システムの転送速度が定めれば、最適なPLL定数を算出し、その定数を固定値として設定することが可能であった。

一方、情報処理システムにおける磁気ディスク装置は、一般的に書き込みデータ速度が一定であったが、この場合、線記録密度の限界は最内周で決定されてしまい、外周に行くほど線記録密度は小さくなっていった。

〔発明が解決しようとする課題〕

しかし、近年、磁気ディスク全体の記録容量を向上させるため、一定の線記録密度でデータを書き込む技術が考案されるようになった。

すなわち、これらの技術においては、書き込みクロックを内外周で変化させ、転送速度を可変とすることにより、線密度を一定に記録している。

このような磁気ディスクの読み出しは、ディスクの回転速度を一定に行われるため、読み出しデータ速度が異なる。したがって、この場合、読み出しデータ速度に同期し、かつ、可変なクロック

を生成することが必要となる。

ところが、前記従来技術に係るPLLは、一つのシステムで複数のデータ速度を有する場合について考慮されておらず、PLLの特性を、データ速度に応じて、切換ることができなかった。したがって、すべてのデータ速度に対して安定動作を得ることができないという問題があった。

本発明は、位相同期回路の特性を、データ転送速度に応じて、最適に切り替えることができ、データ転送速度に対して安定に動作できる位相同期回路を提供することにある。

なお、後述する実施例において、切り替える位相同期回路の各特性は、広義に応答特性として捕らえることができる。そこで、本明細書中において、応答特性というときは、この広義の意味で用いることとする。

〔課題を解決するための手段〕

前記目的を達成するために、本発明は、応答特性の変更の指示を格納する格納手段と、該格納手段に格納された指示に基づいて、応答特性を変更

する手段を有することを特徴とする位相同期回路を提供する。

また、前記目的達成のために、位相比較部とチャージポンプ部とフィルタ部と電圧制御発振部と、応答特性の変更の指示を格納する格納手段と、該格納手段に格納された指示に基づいて、チャージポンプ部のゲイン量またはフィルタ部のフィルタ定数または電圧制御発振部の中心周波数のうち、少なくとも1つを変更する手段とを備えたことを特徴とする位相同期回路を提供する。

また、本発明は、被同期信号周期的変化に応じて、応答特性の変更を指示する手段と、該指示を格納する格納手段および該格納手段に格納された指示に基づいて応答特性を変更する手段を有する位相同期回路とを備えたことを特徴とするクロック発生回路をも提供する。

また、あわせて、本発明は、ディスク型記憶媒体を備えた記憶装置であって、

ディスク型記憶媒体のリードアクセス時、そのディスク型記憶媒体上におけるアクセス位置に応

じて、リードデータを取り扱う基準クロックを発生する位相同期回路の応答特性の変更を指示する手段と、該指示を格納する格納手段および該格納手段に格納された指示に基づいて応答特性を変更する手段を有する前記位相同期回路とを有することを特徴とする第1の記憶装置を提供する。

なお、前記第1の記憶装置が、磁気ディスク装置である場合には、磁気ディスクのリードアクセス時、その磁気ディスク上におけるアクセス位置に応じて、リードデータを取り扱う基準クロックを発生する位相同期回路の応答特性の変更を、記憶データ位置のピークシフトによる符号間干渉に起因する誤動作が発生しないよう指示する手段と、該指示を格納する格納手段および該格納手段に格納された指示に基づいて応答特性を変更する手段を有する前記位相同期回路とを備えることが望ましい。

また、本発明は、ディスク型記憶媒体を備えた記憶装置であって、ディスク型記憶媒体のリードアクセス時、リードデータに同期したリードクロ

ックを発生する位相同期回路と、リードクロックを用いてリードデータを復号する復号化回路と、リードデータを遅延させ、位相同期回路が被同期対象とするリードデータと復号化回路が復号化対象とするリードデータとの間に位相差を与える遅延手段と、リード動作を制御する制御手段とを備え、

前記制御手段は、ディスク型記憶媒体におけるリードアクセス位置に応じて、遅延手段における遅延量を変化させることを特徴とする第2の記憶装置を提供する。

また、さらに、本発明は、ディスク型記憶媒体を備えた記憶装置であって、ディスク型記憶媒体のライトアクセス時、基準クロックを発生する発振器と、ディスク型記憶媒体におけるライトアクセス位置に応じて、基準クロックに同期したライトクロックを発生する位相同期回路と、ライトクロックを用いて書き込みデータを符号化する符号化回路と、符号化したライトデータをディスク型記憶媒体に記憶する書き込み手段と、位相同期回

また、本発明に係る他の位相同期回路によれば、応答特性の変更の指示を格納する格納手段に格納された指示に基づいて、チャージポンプ部のゲイン量またはフィルタ部のフィルタ定数または電圧制御発振部の中心周波数のうち、少なくとも1つを変更する。

また、本発明に係るクロック発生回路によれば、同期信号周期の変化に応じて、応答特性の変更の指示が格納手段に設定され、また、該格納手段に格納された指示に基づいて、位相同期回路は応答特性を変更する。

また、本発明に係る第1の記憶装置によれば、ディスク型記憶媒体のリードアクセス時、そのディスク型記憶媒体上におけるアクセス位置に応じて、リードデータを取り扱う基準クロックを発生する位相同期回路の応答特性の変更の指示が格納手段に格納され、位相同期回路は格納手段に格納された指示に基づいて応答特性を変更する。

また、本発明に係る磁気ディスク装置によれば、磁気ディスクのリードアクセス時、その磁気ディ

スク上の記録データのピークシフトによる符号間干渉に起因する誤同期やデッドロックや過度追従等が発生しないよう、PLLの特性を、データ速度に応じて、精度良く切り替える必要があるが、本発明によれば、その要求に応えることができる。

また、さらに本発明は、前記記憶装置と、該記憶装置と接続する情報処理装置とを有することを特徴とする情報処理システムを提供する。

また、本発明は、位相同期回路と、位相同期回路の応答性を設定するレジスタを有することを特徴とする1チップLSIを提供する。

なお、前記各位相同期回路およびクロック発生回路は、LSI内に構成することが望ましい。

また、前記位相同期回路、または、前記クロック発生回路、または、前記1チップLSIを備えたことを特徴とする情報処理装置を提供する。

#### [作 用]

本発明に係る位相同期回路によれば、応答特性の変更の指示を格納する格納手段に、格納された指示に基づいて、応答特性を変更する。

スク上におけるアクセス位置に応じて、リードデータを取り扱う基準クロックを発生する位相同期回路の、応答特性の記憶データ位置のピークシフトによる符号間干渉に起因する誤動作が発生しないような変更の指示が、格納手段に格納される。また、位相同期回路は、該格納手段に格納された指示に基づいて応答特性を変更する。

以上のように本発明によれば、たとえば、一つのシステムで複数の転送速度を有するシステムに対して、すべてのデータ速度に応じて、最適な応答特性を設定することが可能となり、常に安定したクロックを供給できる位相同期回路を実現することができる。

特に、磁気ディスク装置においては、磁気ディスク上の記録データのピークシフトによる符号間干渉に起因する誤同期やデッドロックや過度追従等が発生しないよう、PLLの特性を、データ速度に応じて、精度良く切り替える必要があるが、本発明によれば、その要求に応えることができる。

また、本発明に係る第2の記憶装置によれば、

ディスク型記憶媒体のリードアクセス時、リードアクセス位置に応じてリードデータを遅延させ、位相同期回路が被同期対象とするリードデータと復号化回路が復号化対象とするリードデータとの間に所定の位相差を与え、リードデータの転送速度によらず、安定な復号化動作を実現する。

また、本発明に係る第3の記憶装置によれば、ライトデータの転送速度が変化するため、位相同期回路の同期が外れる場合が有りえるが、位相同期回路の同期が外れた場合に、ディスク型記憶媒体へのライトデータの書き込みを抑制し、記憶媒体の記憶データの破壊等を防止する。

(以下余白)

#### 【実施例】

以下、本発明に係るPLLの実施例を、磁気ディスク装置への適用を例に取り説明する。

まず、第1の実施例について説明する。

第1図は本実施例に係る磁気ディスク装置のPLL(位相同期回路)周辺の構成を示すブロック図である。

本構成は、Code Data 1の周波数及び位相比較を行う位相比較器2、前記位相比較器2の比較した位相差に応じた期間一定電流を出力するチャージポンプ3、前記チャージポンプ3の電流出力を電圧に変換するフィルタ4、前記フィルタ4の電圧に応じた周波数のクロックであるSync Clock 6を発生するVCO(電圧制御発振器)5からなるPLLおよびこれらの各ブロックに対してゲインや定数等の切換情報を蓄えるレジスタ7、前記レジスタ7の書き込みを行うためのマイコンバス8、全体の演算処理を行うCPU9、全体の制御を行うHDC(ハードディスクコントローラ)10、およびCPUのプログラムおよび最適定数などの

データが記憶されているROMまたはRAM 11より成る。

第2図は前記レジスタ7の内部信号を示したもので、前記マイコンバス8は、双方向のデータバスD<sub>0</sub>～D<sub>12</sub>、アドレスバスA<sub>0</sub>～A<sub>13</sub>、および制御信号14からなり、また、出力信号n<sub>0</sub>～n<sub>15</sub>が各ブロックへ接続される。

本実施例における磁気ディスク装置は、ディスクの記録容量向上のため、各シリンダごと、あるいは全シリンダをいくつかのゾーンに分割し、そのゾーンごとに書き込み速度を変化させ、線密度の変化を減少させるシステムとする。

この場合、読み出しデータの周期も各シリンダあるいは各ゾーンごとに变化するため、位相同期回路のPLLの特性を、それぞれのデータ周期の示す転送速度に合せて最適化する必要がある。

いま、あるトラックに書き込まれたデータを読み出す場合の動作を具体的に説明すると、ホストコンピュータ等の読み出し命令に対して前記CPU9は、目的のデータが書かれたセクタのあ

るトラックがどのシリンダあるいはどのゾーンに含まれるかを判断し、前記ROMまたはRAM 11の中からそのシリンダあるいはゾーンに対応したPLLの定数をもつ情報を選択し、前記マイコンバス8を通して、前記レジスタ7に書き込む。

前記レジスタ7は、その情報をPLLの各ブロックに送り、各ブロックはその情報をもとにゲイン、モード等を切換え、目的のデータの書かれた転送速度に最適な特性をもつPLLを構成する。

前記ROMまたはRAM 11には、各シリンダあるいはゾーンでの転送速度に対して最適なPLLを構成する定数を理論より、あるいは、実験的に求め、その情報をあらかじめ蓄えておく。前記レジスタ7への情報の書き込みは、一般的な外部RAMへの書き込みと同様に、前記データバス12上のデータが、前記アドレスバス13で指定されたレジス

タに、前記制御信号14の中のCSおよびWE信号によって行われ、その情報は前記出力信号15

として各PLLブロックへ出力されている。

また前記レジスタ7の書き換えは、ヘッドのシーク動作と同時期または直前に行われるため、ヘッドの位置決めが完了するまでの時間(十数ns)には、前記レジスタ7の書き換え、および、各ブロックのゲイン、定数等の切換は完了し、十分安定な状態になっており、読み出し動作に対する問題は生じない。

次に、第3図～第6図を用いて各PLLブロックのゲイン切換の例を説明する。

第3図は、前記チャージポンプ3の出力する一定電流の値を切り替える、ゲイン切換回路を示したもので、カレントミラー16、レベルシフトトランジスタA17、アナログスイッチA18、抵抗 $R_{11} \sim R_{19}$ からなる。なお、チャージポンプのゲインは、ゲイン切換回路より供給される基準電流を $I_{a21}$ とすると、 $I_a/8\pi$ で表わされる。

基準電圧 $V_{refa20}$ から、前記トランジスタA17を介し、前記アナログスイッチA18で選択された前記抵抗19の中の1つで決定される電

流が、前記カレントミラー16で折り返されて前記基準電流 $I_{a21}$ となる。したがって前記抵抗19にn通りの抵抗値を用意し、前記レジスタ7から送られる制御信号A22で前記アナログスイッチAを切換えることにより、n通りの前記基準電流 $I_a$ が得られ、n通りのゲイン切換ができる。

第4図は、前記チャージポンプ3のゲイン切換回路の別の例を示したもので、トランジスタ $T_{11} \sim T_{19}$ よりなるカレントミラー29、トランジスタC30、抵抗 $R_{11}, R_{11}$ 、およびアナログスイッチC32からなり、第3図の例と同様に、基準電圧 $V_{refc33}$ から前記トランジスタC30、前記抵抗 $R_{11}, R_{11}$ で決定される電流を前記カレントミラー29で折り返して基準電流 $I_{c34}$ を生成するが、前記カレントミラー29の受け側にn個のトランジスタを並列に接続し、前記レジスタ7からの制御信号C35により前記アナログスイッチC32で接続個数を切換え、折り返し電流の比率を変化させることで前記基準電流 $I_{c34}$ を変化させる。

アナログスイッチD39で構成される。

前記VCO5のゲインは第6図に示す様に、入力段の差動増幅回路のゲインで決定され、前記入力トランジスタ36のサイズの1/2乗に比例することが知られている。したがって前記入力トランジスタ36にn個のトランジスタを2対並列に接続し、前記レジスタ7からの制御信号D40により前記アナログスイッチD39で接続個数を切換え、等化的にサイズをn通りに変化させ、ゲインを切換える。

前記VCO5は引き込み時間の短縮とキャプチャレンジの拡大のため、引き込み動作に入る直前は転送速度で決まる中心周波数に固定しておく必要がある。前記VCO5の中心周波数 $f_c$ は、タイミングコンデンサC、トランジスタのベースエミッタ間電圧 $V_{BE}$ 、および基準電圧 $I_c$ を用いて、

$$f_c = \frac{I_c}{4 C V_{BE}}$$

で表わされる。

転送速度可変のシステムにおいては、それぞれ

第5図は、前記フィルタの切換回路を示したもので、コンデンサC<sub>23</sub>、コンデンサC<sub>24</sub>、抵抗 $R_{11} \sim R_{19}$ およびアナログスイッチB26からなる。第4図に示す構成のフィルタの場合、減衰率 $\epsilon$ は、特性周波数 $\omega$ を用いて、

$$\epsilon = (C_1 + C_2) \cdot R \cdot \omega n / 2$$

で表される。ここでRは前記抵抗 $R_{11} \sim R_{19}$ の中の1つを示す。したがって、前記抵抗25にn通りの抵抗値を用意し、前記レジスタ7から送られる制御信号B28で前記アナログスイッチB28を切換えることにより、n通りの減衰率 $\epsilon$ を設定することができる。

第6図は前記VCO5のゲイン切換回路を示したもので、2n個の入力トランジスタ $T_{11} \sim T_{19}$ 、 $T_{11} \sim T_{19}$ 、基準電流源37、負荷トランジスタ38よりなる差動増幅回路および

の伝送速度に対して前記基準電圧  $I_c$  を変化させ、中心周波数を設定する必要がある。この基準電流  $I_c$  の変化は第4図に示す前記チャージポンプのゲイン変換回路と同様の回路を用いれば、基準電流  $I_c$  を任意に設定でき、中心周波数を変化させることができる。

次に、第7図を用いて、本実施例に係るPLLを備えた磁気ディスクデータ制御回路70の例を説明する。

第7図に示す例は、本実施例の位相同期回路に周辺機能ブロックを結合したものであり、PLL43、レジスタ7に加えて、記録符号への変換、逆変換を行うエンコーダ47、デコーダ45、Code Read Data50の位相調整を行うウィンドウ調整44、システムクロックとデータ転送クロックの変換を行うクロック調整46、参照クロック51を基準に書き込み用の任意の周波数のクロックを生成する書き込みクロック生成49、ピークシフト等の影響を書き込み時に補償する書き込み補償48、および前記マイコンバス8を備

えている。

本制御回路70において、前記レジスタ7は、前記PLL43の最適値の他に、他ブロックの調整用切換信号等の情報も蓄えることにより、システム全体を、常に最適な状態に保つ。

なお、本制御回路70は、LSIとして磁気ディスクに備えることが望ましい。この場合、PLLに使用される、特性切り替え用の抵抗RやコンデンサCはLSIの外付け素子としても良い。LSI中に、高精度の抵抗やコンデンサを設けることは困難と考えられるからである。

第8図は、RAM11を、PLL43設定用の情報を蓄えるための専用として独立させて設けた例で、この場合は、制御回路70への前記マイコンバス8を使ったデータ転送が不要となり、切換に要する時間の短縮になる。

第9図に、本実施例に係る情報処理システムの構成を示す。

本システムは、ホストコンピュータ91と磁気ディスク装置92よりなり、磁気ディスク装置

92は、磁気ディスク93、磁気ディスクを制御するコントローラ98、磁気ヘッド94、磁気ヘッドで感知したデータの電気信号を増幅するヘッドアンプ95、増幅したデータの電気的波形を整形する波形整形部96、前記データ制御回路70、コード変換部97、および、装置全体を制御するCPU9を備えている。

以下、本発明に係る第2の実施例を説明する。

第10図に、本実施例に係るPLLの構成を示す。

PLLは位相比較器110、フィルタ120、VCO130で構成される。本実施例に係るPLLにおいては、前記第1実施例に係るPLLのチャージポンプ3は、位相比較器110内に備えられているものとして説明する。

第2図に、本実施例に係るPLLの動作タイミングを示す。

位相比較器110は、入力パルス信号1000とVCO130の出力クロック1040の位相を比較し、入力パルス信号1000の位相が出力ク

ロック1040の位相より進んでいた場合は、その位相差に相当する時間だけ電流  $I_o$  をフィルタ120に流し出す。逆に、入力パルス信号1000の位相が出力クロック1040の位相より遅れていた場合は、その位相差に相当する時間だけ電流  $I_o$  をフィルタ120から引き出す。

また、入力パルス信号1000の位相と出力クロック1040の位相が一致していた場合には、フィルタ120に対して作用しない。

PLLを構成する位相比較器110、フィルタ120、VCO130は、それぞれに制御バス1050が接続され、これにより、各ブロックの定数が設定される。

第12図に、本第2実施例に係るVCO130の内部構成を示す。

図示するように、VCO130は、電圧電流変換器210、電流制御発振器220、デジタル・アナログ変換器230より構成される。

図中、制御電圧1030は、電圧電流変換器210に入力され、制御電流2000に変換され



る。

この制御電流2000は、電流制御発振器220に入力され、出力クロック1040の周波数を制御する。

一方、デジタル・アナログ変換器230は、基準抵抗 $R_{xx}$ で生成される電流を基準に制御バスによる指示1050に従い自走周波数を設定する基準電流2010を生成し、電流制御発振器220へ入力する。

第14図に、この、本第2実施例に係るVCO130の具体的な回路構成を示す。

図中、210が電圧電流変換器、220が電流制御発振器、230がデジタル・アナログ変換器である。

図示するように、電流制御発振器220は、既知のエミッタ結合型非安定マルチバイブレータであり、図中のトランジスタQ1、Q2、Q3、Q4、Q5が制御電流2000と基準電流2010の和電流 $I_c$ を折り返すためのカレントミラーを構成している。

図示するように、基準電流2010および自走周波数は制御バス1050の制御値によって線形的に変化する。

また、第15図に、デジタル・アナログ変換器230の他の構成を示す。

図中、トランジスタMbは、バイアス電圧を生成し、トランジスタM1、M2、...Mnは制御バスのnビットにそれぞれ対応しており、ゲート幅Wが倍々に大きくなるよう構成している。

つまりトランジスタMnのゲート幅WはトランジスタM1のゲート幅の $2^{n-1}$ 倍となる。

Mで示す以外の残りの $(2 \times n)$ 個のトランジスタはスイッチとして使用され、トランジスタMbで生成したバイアス電圧を各M1からMnのトランジスタのゲートに印加するかしないかを、制御バス1050の、対応する各ビットに従い決定する。

なお、デジタル・アナログ変換器は、電流出力型であれば他の回路方式でも使用可能である。

次に、第16図に、位相比較器110の構成を

前記第1実施例で述べたように、このとき、出力クロック1040の周波数 $f$ は

$$f = \frac{I_c}{4 C \cdot V_{BE}}$$

ただし、 $V_{BE}$ はトランジスタのベース・エミッタ間電圧

で与えられる。

次に電圧電流変換器210は、トランジスタQ6、Q7、抵抗R1、R2、電流源 $I_o$ で構成される差動増幅器と、差動増幅器の差電流を取出すQ8、Q9とから成る。

さらにデジタル・アナログ変換器230は、電流出力型であり、制御バスのビット数に相当する数の差動スイッチ、ビット数に相当する重みづけをした電流源で構成される。そして制御バス1050の各ビットに相当する電流の総和を基準電流2010として出力する。

ここで、第13図に、制御バス1050から入力されるnビットのデジタル制御値に対する基準電流2010および自走周波数の関係を示す。

示す。

図示するように、位相比較器110は、フリップ・フロップFF1、FF2、NANDゲートNA1、トランジスタQ10、Q11、Q12、Q13、Q14、M<sub>11</sub>、M<sub>12</sub>、M<sub>13</sub>、M<sub>14</sub>、およびデジタル・アナログ変換器230で構成される。

フリップ・フロップFF1、FF2、およびNANDゲートNA1は、入力パルス信号1000と出力クロック1040の位相差を検出する。そして、入力パルス信号1000の位相が出力クロック1040の位相より進んでいるときは、その位相差に相当する時間だけFF1のQ出力が"H"になり、逆に入力パルス信号1000の位相が出力クロック1040の位相より遅れているときは、その位相差に相当する時間だけFF2のQ出力が"H"になる。

トランジスタM<sub>11</sub>とM<sub>12</sub>、およびM<sub>13</sub>とM<sub>14</sub>は、それぞれ差動スイッチを構成しており、FF1のQ出力が"H"の時間だけ電流を流し出す。逆に、FF2のQ出力が"H"の時間だけ電流を引き込

む。

トランジスタQ10、Q11、Q12およびQ13、Q14はそれぞれ折り返しカレントミラーを構成しており、デジタル・アナログ変換器230で生成された基準電流を、差動スイッチに供給している。

デジタル・アナログ変換器230の内部構成は、先に述べた電圧制御発振器130に用いた(第14図、第15図参照)ものを用いれば良い。

ただしVCO130とは独立に定数が設定できるように、VCO130に使用した制御バス1050のビットとは、別のm個のビットを使用し、かつ基準抵抗 $R_{01}$ は独立に設ける。

もちろん制御バスを共用し、同一制御信号で切替えることも可能である。

なお、前記第1の実施例で示したように、PLLの各部の制御は、第17図に示すように、レジスタを介して行うようにしても良い。

第17図中において、PLLは、位相比較器110、フィルタ120、VCO130、レジス

タ150で構成され、レジスタ150は、マイクロプロセッサ160により情報が書き込まれ、レジスタ150の出力が制御バス1050となり、これを介して、位相比較器110、フィルタ120、VCO130の回路定数を設定する。

以上示したように、本第2実施例に係るPLLは、前記第1実施例に係るPLLの効果に加え、主として半導体素子により構成した為、前記第1実施例で示したPLLよりも集積化し易いというメリットがある。

なお、PLLを、前記第1実施例で示したVCO、位相比較器等の構成部と、本第2実施例で示した構成部とを組み合わせて構成するようにしても良い。

また、前記磁気ディスクデータ制御回路70(第7図参照)または情報処理システム(第9図参照)において、第1実施例に係るPLLに代えて、本第2実施例に係るPLLを備えるようにしても良い。

次に、本発明の第3の実施例として各シリンダ

ごと、あるいは全シリンダをいくつかのゾーンに分割し、そのゾーンごとに書き込み速度を変化させ、磁気密度の変化を減少させる磁気ディスク装置に適用した、磁気ディスクシステム回路について説明する。磁気ディスクシステム回路は、前記情報処理システム(第9図参照)における磁気ディスク装置92の、磁気ディスク93、コントローラ98、磁気ヘッド94、ヘッドアンプ95、波形整形部96、データ制御回路70、コード変換部97、装置全体を制御するCPU9の、読み出し、書き込みに関した部分に相当するものである。

第18図に、本実施例に係る磁気ディスクシステム回路のリード側の構成を示す。

図示するように、磁気ディスクシステム回路は、マイクロプロセッサ160、不揮発性記憶素子170、ディスクコントローラ190、デコーダ200、セクタ310、遅延線320、前記第1または第2実施例に係るPLL330で構成される。

図中において、磁気媒体180から読み出され

た符号化信号4000は、タップ付き遅延線320に入力される。

タップ付き遅延線320の各タップはセクタ310に入力される。

一方、遅延線320の最大遅延の約半分の遅延量を有するセンタタップから取り出した符号化信号4010をPLL330へ入力する。

そして、PLL330で生成された出力クロック1040を、デコーダ200のデータ取り込みのタイミングクロックとしてデコーダ200に入力する。

不揮発性記憶素子170には、出力クロック1040に対して最適な位相関係になるタップを選択するためのセクタ制御情報が書かれており、この情報をマイクロプロセッサ160が読み出してセクタ310に入力する。

これにより、符号化信号4000の転送速度が変わった場合であっても、PLL330の回路定数を制御バスにより切り換えると共にマイクロプロセッサ160がセクタ310の制御情報を切替える

ことにより、常に符号化信号4020と出力クロック1040は、最適な位相関係を保つことができる。

これにより、デコーダ200は安定した復号化処理を行ない、ディスクコントローラ190に復号化信号4030とリードクロック4040を供給することができる。

次に、本第3実施例に係る磁気ディスクシステム回路において、前記第1または第2実施例に係るPLLを磁気媒体への書き込みクロック発生用に用いた場合について説明する。

第19図に、この磁気ディスクシステム回路のライト側の構成を示す。

磁気ディスクシステム回路は、ディスクコントローラ190、リード・ライト・アンプ410、ANDゲート420、エンコーダ430、D-タイプフリップフロップ440、インバータ470、同期外れ検出回路450およびPLL460とから構成される。

PLL460は、基準クロック信号5000を

“L”固定にする。これにより、磁気媒体への記録が抑止される。

その後、同期外れ信号5040が出力されなくなったことを確認して、ディスクコントローラ190は、フリップフロップ440をクリアし、上位装置の制御下において書き込み動作を再開する。

ここで、第20図に、書き込み用PLL460と、同期外れ検出回路450の内部構成図を示す。

PLL460は、基準クロック信号をM分周するM分周器500と、VCO130と、VCO130の出力クロック1040をN分周するN分周器140と、位相比較器110と、フィルタ120とで構成される。このPLL460においては、前記第1、第2実施例と同様に、VCO等の各部の設定を変えることによる他、M分周器、N分周器の分周率を変えることにより所定の周波数の出力を得る。

また、同期外れ検出回路450は、判定用ウインド生成回路510と、判定回路520で構成さ

もとにして必要な周波数の書き込みクロック5020を生成する。本実施例においては、基準クロック信号5000は、装置の簡略化等のため固定値とし、PLL460にて周波数を変化させ、書き込み転送速度に応じたクロックを生成する。

エンコーダ430は、この書き込みクロック5020を用い、ディスクコントローラ190から入力される書き込み信号5010を符号化し、符号化信号5030を生成する。

書き込みクロック5020が基準クロック信号5000と同期しているときは、符号化信号5030はANDゲートをそのまま通過して、リード・ライト・アンプ41に入力され、磁気媒体上に信号が記録される。しかし、書き込みクロック5020と基準クロック信号5000の同期が外れると、同期外れ検出回路450が、同期外れを検出し、同期外れ信号5040を出力してディスクコントローラへ知らせると同時に、インバータ470およびD-タイプフリップフロップ440を用いて直ちにANDゲート42の出力を

れる。

判定用ウインド生成回路510は、基準クロック信号5000をM分周するM分周器500から信号を受けとり、位相比較器110で比較されるエッジの前後にある幅を持ったウインドを生成する。

判定回路520は、N分周器140の出力である分周クロック1010のエッジがウインド内にあるかどうかを判定し、ウインド内にあれば同期していると判定する。

第21図に、以上のM分周器500、判定用ウインド生成回路510、判定回路520の構成を示す。具体的な実施例を示す。

以下その動作を基準クロック信号5000を2分周する場合について説明する。

2分周であるため、D-フリップフロップを用いた2分周回路をk個接続する。これがM分周器500に相当する。

判定用ウインド生成回路510は、k入力

NAND7000、インバータ7010、フリップ・フロップ7020で構成される。

判定回路はフリップ・フロップ7030で構成されている。

第22図に、その動作タイミングチャートを示す。

判定用ウインド生成回路510は、M分周器500の出力であるM分周信号6000の立ち上がりエッジの前後に、それぞれ基準クロック信号5000の半周期に相当する時間幅を持ったウインド信号6010を生成する。もちろん、k入力NAND7000に入力する信号本数を減らせば、ウインド幅は広くなり、同期判定基準は、ゆるくなる。

このウインド信号6010を、判定回路520のフリップフロップ7030のD入力に接続し、N分周器140の出力である分周クロック1010をフリップフロップ7030のクロック入力に接続する。

タイミングチャートに示す如く、分周クロック

1010の立ち上がりエッジがウインド内に存在すれば、同期外れ信号5040は“H”、逆に、ウインド外に存在するときは“L”を出力する。

以上のように、本第3実施例に係る磁気ディスクシステム回路を備えた磁気ディスク装置によれば、磁気媒体から読み出したデータとタイミングクロックの位相関係を最適に設定できるため、信頼性の高い復号化が可能になる。

また、磁気媒体にデータを書き込む際に、書き込みクロックの同期が外れると直ちに書き込み動作を禁止できるため、媒体上のデータ破壊を防止できる。

以上、本発明に係るPLLの実施例を、磁気ディスク装置への適用を例に取り説明した。

なお、以上の実施例に係るPLLは、他のディスク型記憶媒体を用いる光ディスク記憶装置や光磁気ディスク記憶装置等の記憶装置においても同様に適用できる。

また、データ速度が可変である情報処理装置においても、各実施例に係るPLLは、同様に実現

でき、有効に作用する。

(以下余白)

#### 【発明の効果】

以上のように、本発明によれば、その特性を、データ転送速度に応じて最適に切り替えることができ、転送速度に対して安定に動作できる位相同期回路を提供することができる。

#### 4. 図面の簡単な説明

第1図は本実施例に係るPLLとその周辺部の構成を示すブロック図、第2図はレジスタ回路の構成を示すシンボル図、第3図はチャージポンプのゲイン切換回路を示す回路図、第4図は他のチャージポンプのゲイン切換回路を示す回路図、第5図はフィルタの定数切換回路を示す回路図、第6図はVCOのゲイン切換回路を示す回路図、第7図はデータ制御回路の構成を示すブロック図、第8図は他のデータ制御回路の構成を示すブロック図、第9図は情報処理システムの構成を示すブロック図、第10図は本発明の第2実施例に係るPLLの構成を示すブロック図、第11図はPLLの動作を示すタイミングチャート、第12図はVCOの構成を示すブロック図、第13図は

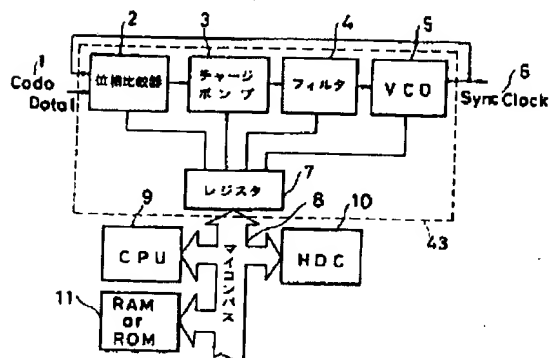
VCOの特性を示す特性図、第14図はVCOの構成を示す回路図、第15図はデジタル・アナログ変換機の構成を示す回路図、第16図は位相比較器の構成を示す回路図、第17図はPLLの他の構成を示すブロック図、第18図は第3実施例に係る磁気ディスクシステム回路のリード側の構成を示すブロック図、第19図は磁気ディスクシステム回路のライト側の構成を示すブロック図、第20図は同期外れ検出回路の構成を示すブロック図、第21図は同期外れ検出回路の構成を示す回路図、第22図は同期外れ検出回路の動作を示すタイミングチャートである。

1…Codo Data信号、2…周波数位相比較、3…チャージポンプ、4…フィルタ、5…VCO、6…Sync Clock信号、7…レジスタ、8…マイコンバス、9…CPU、10…HDC（ハードディスクコントローラ）、11…RAM、43…PLL、110…位相比較器、120…フィルタ、130…VCO、160…マイクロプロセッサ、

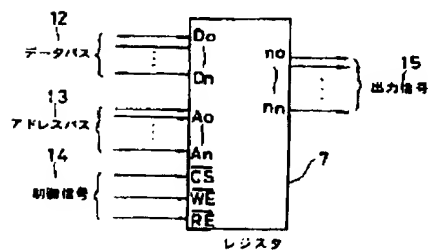
170…不揮発性記憶素子、190…ディスクコントローラ、200…デコーダ、310…セレクタ、320…遅延線、330…PLL、410…リード・ライト・アンプ、420…AND、430…エンコーダ、450…同期外れ検出回路、460…PLL。

出願人 株式会社 日立製作所  
代理人 弁理士 富田 和子

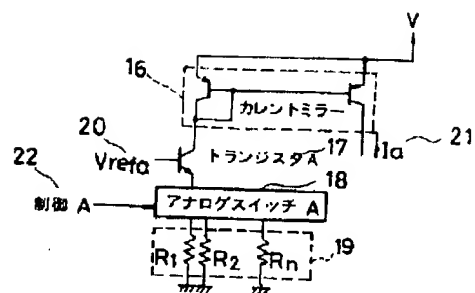
第1図



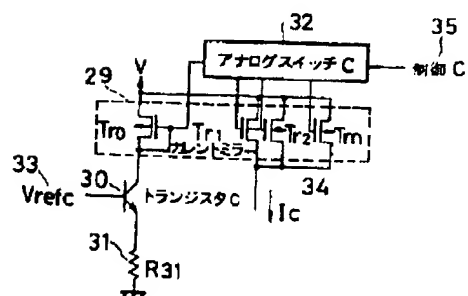
第2図



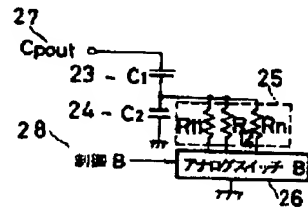
第3図



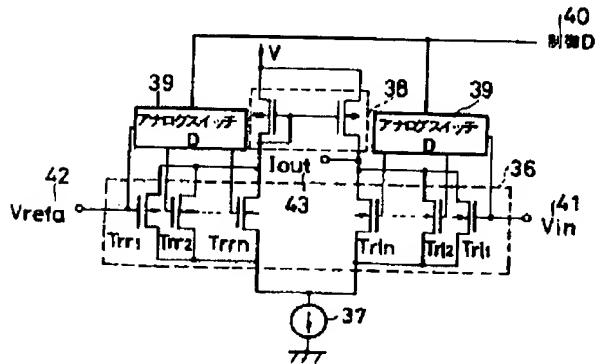
第4図



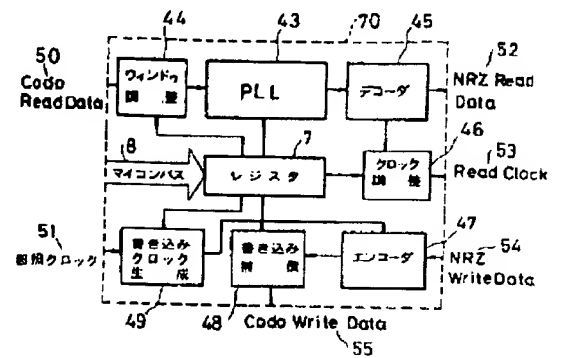
第 5 図



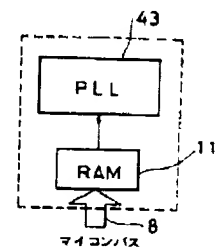
第 6 図



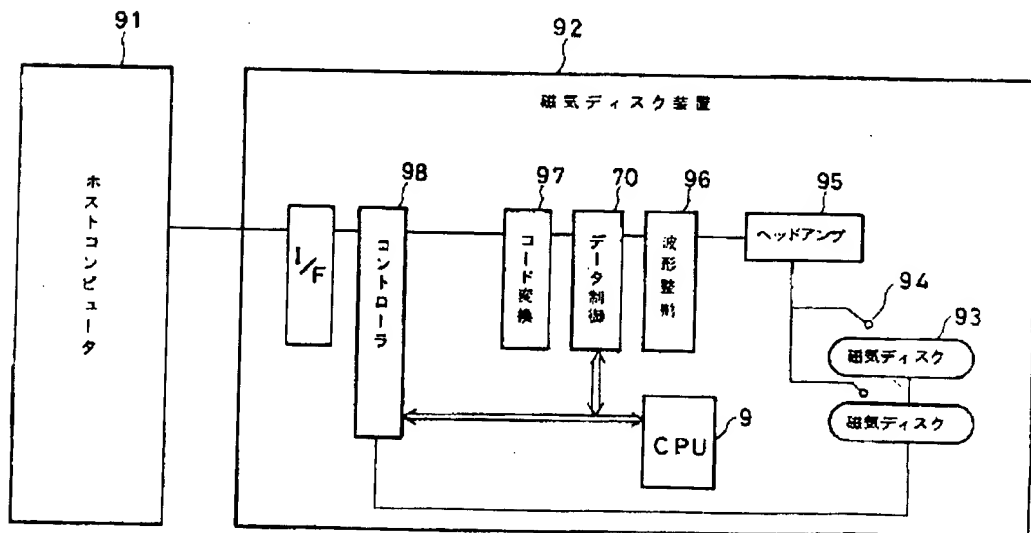
第 7 図



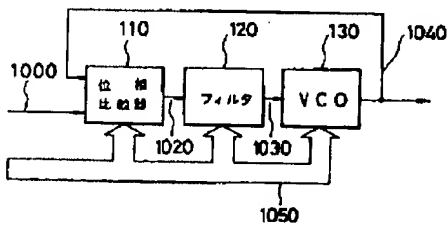
第 8 図



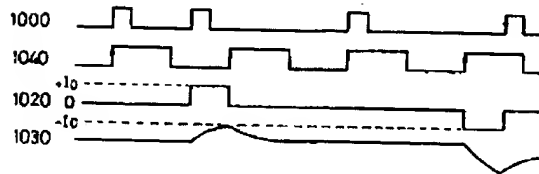
第 9 図



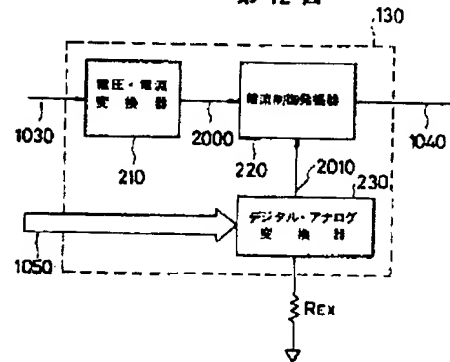
第10図



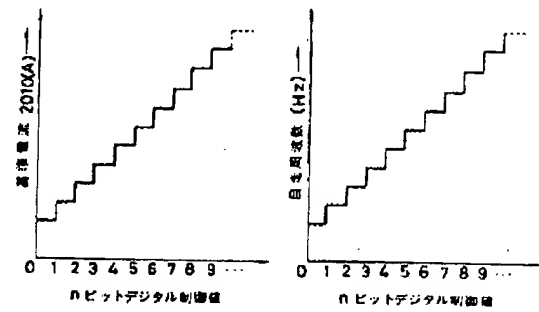
第11図



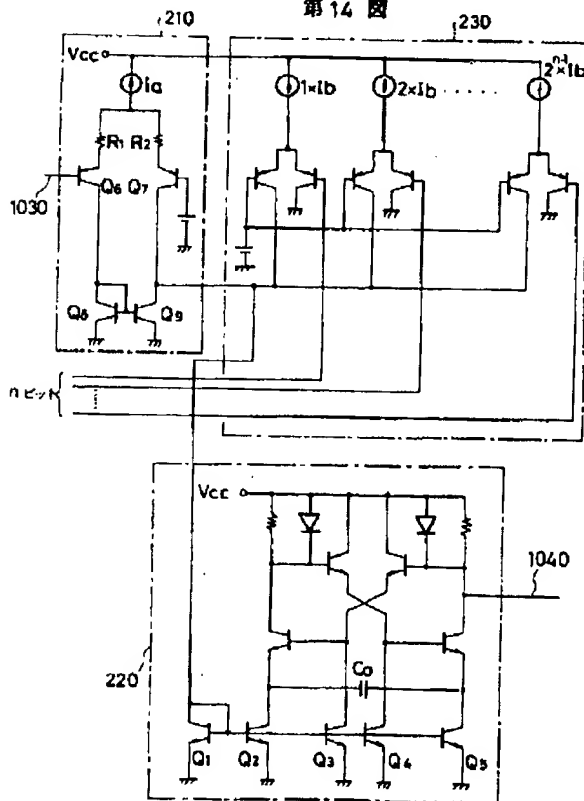
第12図



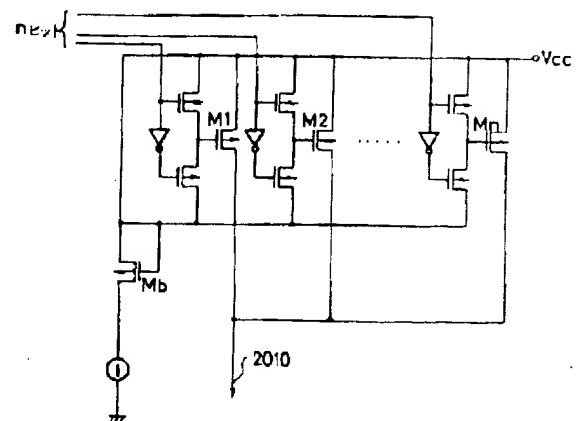
第13図



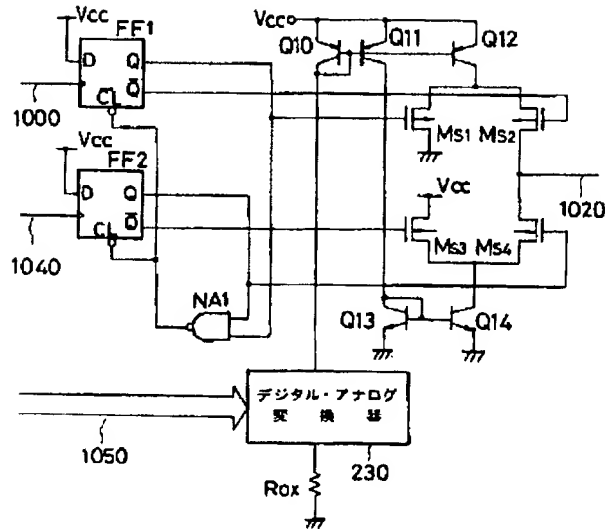
第14図



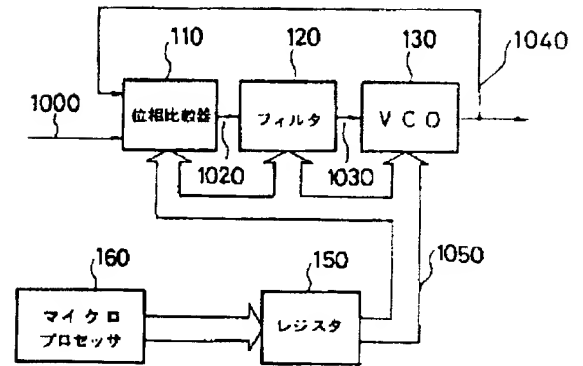
第15図



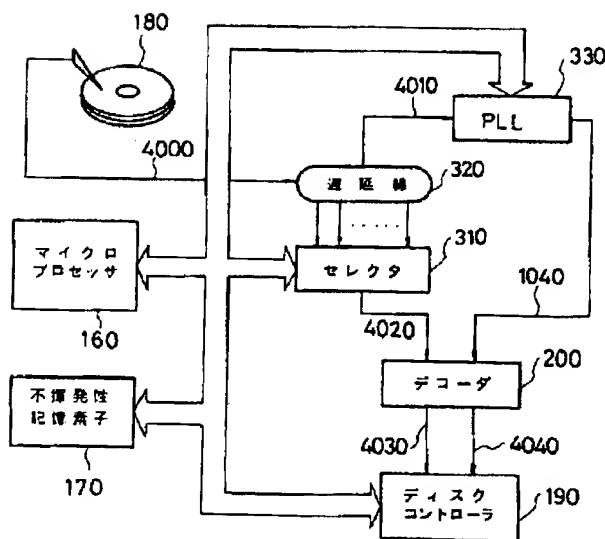
第 16 図



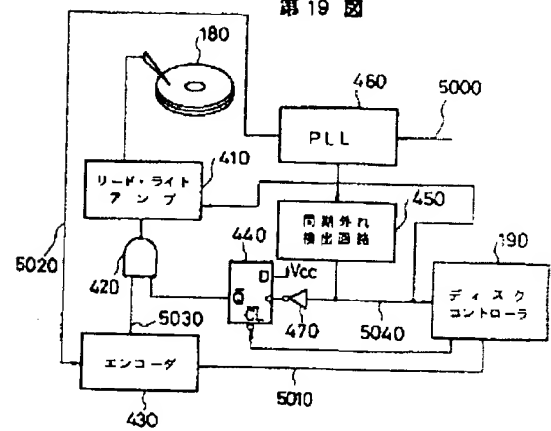
第 17 図



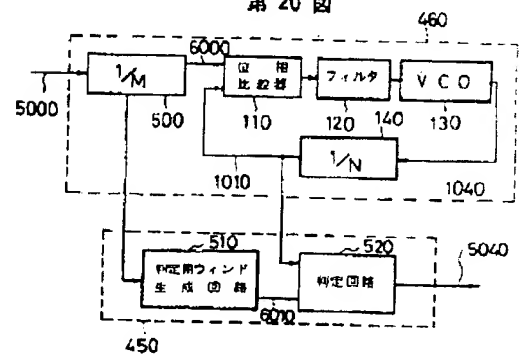
第 18 図



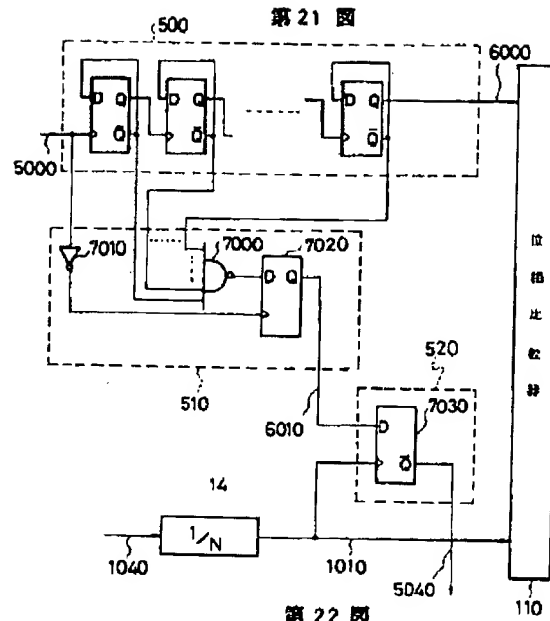
第 19 図



第 20 図







第1頁の続き

⑫発明者	平野	章彦	神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑬発明者	児島	伸一	群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内
⑭発明者	浦上	憲	群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内